

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-329694

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

G11C 16/06

(21)Application number : 08-072579

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.1996

(72)Inventor : YAMAMURA TOSHIO
TANAKA TOMOHARU
NAKAI HIROTO

(30)Priority

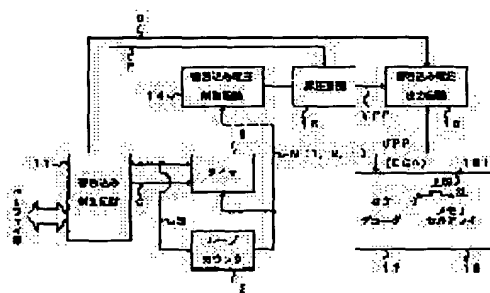
Priority number : 07 71367 Priority date : 29.03.1995 Priority country : JP

(54) NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To attain high speed and optimum writing and narrow threshold value distribution, in verifying.

CONSTITUTION: When accurate data is not written in all memory cells, a writing control circuit 11 outputs control signals P, C instructing rewriting. A loop counter 12 outputs an output signal Ni showing the number of times of rewriting. A writing voltage control circuit 14 receives the output signal Ni, boosts gradually writing voltage VPP as the number of times of writing increases, also, and controls a boosting circuit 15 so as to hold writing voltage at the maximum value after the writing voltage VPP reaches the upper limit (the maximum value). A timer 13 receives the output signal Ni, and sets a writing time gradually longer as the number of times of writing increases after the writing voltage VPP reaches the upper limit.



LEGAL STATUS

[Date of request for examination]

07.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(誌 + 要約 + 請求の範囲)

- (19)【発行国】日本国特許庁(JP)
 (12)【公開種別】公開特許公報(A)
 (11)【公開番号】特開平8-329694
 (43)【公開日】平成8年(1996)12月13日
 (54)【発明の名称】不揮発性半導体記憶装置
 (51)【国際特許分類第6版】

G11C 16/06

【F】

G11C 17/00 510 A
510 C

【審査請求】未請求

【請求項の数】18

【出願形態】OL

【全頁数】15

(21)【出願番号】特願平8-72579

(22)【出願日】平成8年(1996)3月27日

(31)【優先権主張番号】特願平7-71367

(32)【優先日】平7(1995)3月29日

(33)【優先権主張国】日本(JP)

(71)【出願人】

【識別番号】000003078

【氏名又は名称】株式会社東芝

【住所又は居所】神奈川県横浜市幸区堀川町72番地

(72)【発明者】

【氏名】山村 俊雄

【住所又は居所】神奈川県横浜市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)【発明者】

【氏名】田中 智晴

【住所又は居所】神奈川県横浜市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)【発明者】

【氏名】中井 弘人

【住所又は居所】神奈川県横浜市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74)【代理人】

【弁護士】

【氏名又は名称】鈴江 武彦

(57)【要約】

【課題】ペリファイにおいて高速で最適な書き込み、読み、閾値分布を達成する。
 【解決手段】書き込み制御回路11は、全てのメモリアルレイの正確なデータが書き込まれていない場合に、再書き込みを指示する制御信号P、Cを出力する。ループカウンタ12は、書き込みの回数を示す出力信号Nを出力する。書き込み電圧制御回路14は、出力信号Nを受け、書き込み回数が増えるに従って書き込み電圧VPPを次第に上昇させ、かつ、書き込み電圧VPPが上限(最大値)になった後には、書き込み電圧を最大値に維持するように、昇圧回路15を制御する。タイマ13は、出力信号Nを受け、書き込み電圧VPPが上限になった後には、書き込み回数が増えるに従って

書き込み時間を次第に長く設定する。

【特許請求の範囲】

【請求項1】メモリアルレイと、前記メモリアルレイのメモリアルセルにデータを 書き込む手段と、前記メモリアルレイのメモリアルセルからデータを読み出し、正確なデータが 書き込まれているか否かを判断する手段と、前記メモリアルレイの全てのメモリアルセルに正確なデータが書き込まれていない場合に再書き込みを実行する手段と、前記再書き込みの書き込み回数が増えるに従って、書き込み電圧を次第に上昇させ、かつ、書き込み電圧が最大値になった後には、書き込み電圧を最大値に維持し、前記再書き込みの書き込み回数が最大値になった後には、書き込み時間を次第に長く設定する手段とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項2】前記書き込み電圧の上昇分をΔVPPとしたとき、前記書き込み電圧が最大値になった後の書き込み時間T(n)は、 $\Delta VPP = A \cdot \log \Delta TAT = T(n) / T(n-1)$ (但し、Aは、定数、nは、書き込み回数、T(n)は、n回目の書き込みの書き込み時間である)を満たしていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】請求項1に記載の不揮発性半導体記憶装置において、それぞれの書き込みにおける書き込み電圧をステップ毎に設定し得る手段を具備することを特徴とする。

【請求項4】複数の不揮発性メモリアルセルを含むメモリアルレイと、前記メモリアルセルに供給するための書き込み電圧を昇圧する昇圧回路と、書き込み回数をカウントするカウンタと、前記カウンタの指定する任意の書き込み回数に至るまでは前記メモリアルセルへの前記書き込み電圧の供給時間を一定とし、前記任意の書き込み回数の後は前記メモリアルセルへの前記書き込み電圧の供給時間を段階的に増加させるタイマと、前記書き込み電圧が予め決められた上限に至るまでの前記昇圧回路による昇圧レベルを、前記任意の書き込み回数に応じて段階的に分け、かつ前記書き込み電圧が予め決められた上限に至るとその書き込み回数が予め決められた上限に達するまでの前記昇圧回路が予め決められた上限に至るとその書き込み電圧を維持する書き込み電圧制御回路とを具備したことを特徴とする不揮発性半導体記憶装置。

【請求項5】請求項4記載の不揮発性半導体記憶装置において、前記段階的に増加させる書き込み電圧の供給時間はそれぞれ、前記書き込み電圧が予め決められた上限に至る前ににおける前記書き込み電圧の段階的に分けられたうちの1回の昇分に応じた前記メモリアルセルのしきい電圧上昇分が得られるように設定されることを特徴とする。

【請求項6】請求項5記載の不揮発性半導体記憶装置において、前記書き込み電圧が予め決められた上限に至るまでの前記昇圧回路による昇圧レベルを、前記任意の書き込み回数に応じて段階的に分け、かつ前記昇圧回路が予め決められた上限に至るとその書き込み回数が予め決められた上限に達するまでの前記昇圧回路が予め決められた上限に至るとその書き込み電圧を維持する書き込み電圧制御回路とを具備したことを特徴とする。

【請求項7】複数の不揮発性メモリアルセルを含むメモリアルレイと、前記メモリアルセルに供給するための書き込み電圧を昇圧する昇圧回路と、書き込み動作の所定回数をカウントする第1のカウンタと、前記所定回数のうちの任意の書き込み回数から後をカウントする第2のカウンタと、前記第2のカウンタの指定する任意の書き込み回数に至るまでは前記メモリアルセルへの前記書き込み電圧の供給時間を一定とし、前記任意の書き込み回数の後は前記メモリアルセルへの前記 書き込み電圧の供給時間を段階的に増加させるタイマと、前記書き込み電圧が予め決められた上限に至るまでの前記昇圧回路による昇圧レベルを、前記任意の書き込み回数に応じて段階的に分け、かつ前記昇圧回路が予め決められた上限に至るとその書き込み回数が予め決められた上限に達するまでの前記昇圧回路が予め決められた上限に至るとその書き込み電圧を維持する書き込み電圧制御回路と、前記任意の書き込み回数が予め決められた上限に至るとその書き込み電圧を維持する書き込み電圧制御回路とを具備したことを特徴とする不揮発性半導体記憶装置。

【請求項8】請求項7記載の不揮発性半導体記憶装置において、前記プログラムシステムは、前記書き込み電圧制御回路に前記昇圧レベルを設定するための選択信号を出力する書き込み電圧選択回路と、前記書き込み電圧選択回路の選択信号を指定するデコーダと、前記デコーダにプログラム信号を与えるヒューズ回路とを含むことを特徴とする。

【請求項9】請求項7記載の不揮発性半導体記憶装置において、前記プログラムシステムによって、前記任意の書き込み回数の初回の前記昇圧レベルを可変にすると共に、前記書き込み電圧が予め決められた上限に至るまで前記昇圧レベルを段階的に分けられる前記任意の 書き込み回数が変えられることを特徴とする。

【請求項10】請求項7記載の不揮発性半導体記憶装置において、前記段階的に増加させる 書き込み電圧の供給時間はそれぞれ、前記書き込み電圧が予め決められた上限に至る前ににおける

前記書き込み電圧の段階的に分けられたうちの1回の上昇分に応じた前記メモリのしきい電圧上昇分が得られるように設定されることを特徴とする。

【請求項11】複数の不揮発性メモリセルを含むメモリセルアレイと、前記メモリセルを選択するためのデコーダと、前記メモリセルに供給するための書き込み電圧を昇圧する昇圧回路と、書き込み回数をカウントするカウンタと、前記カウンタと、前記カウンタの指定する任意の書き込み回数に至るまでは前記メモリセルへの前記書き込み電圧の供給時間を一定とし、前記任意の書き込み回数の後は前記メモリセルへの前記書き込み電圧の供給時間を段階的に増加させるタイマと、前記書き込み電圧が予め決められた上限に至るまでの前記昇圧回路による昇圧レベルを、前記任意の書き込み回数に応じて段階的に分け、かつ前記書き込み電圧が予め決められた上限に至るとその書き込み電圧を維持する書き込み電圧制御回路とを具備し、前記カウンタのカウント毎に、前記メモリセルアレイの選択したメモリセルに正しいデータが書き込まれているかを判断するペリフィアが行われ、正しいデータが書き込まれるまでこの選択したメモリセルに対し、前記タイマの制御に従って書き込み動作を行うことを特徴とする不揮発性半導体記憶装置。

【請求項12】請求項11記載の不揮発性半導体記憶装置において、前記段階的に増加させる書き込み電圧の供給時間はそれぞれ、前記書き込み電圧が予め決められた上限に至る前における前記書き込み電圧の段階的に分けられたうちの1回の上昇分に応じた前記メモリのしきい電圧上昇分が得られるように設定されることを特徴とする。

【請求項13】請求項11記載の不揮発性半導体記憶装置において、前記書き込み電圧が予め決められた上限に至るまでの前記昇圧回路による昇圧レベルを、前記任意の書き込み回数に応じて段階的に分けられるためのプログラム手段をさらに具備する。

【請求項14】請求項13記載の不揮発性半導体記憶装置において、前記プログラム手段は、前記書き込み電圧制御回路に前記昇圧レベルを設定するための選択信号を出力する書き込み電圧選択回路と、前記書き込み電圧選択回路の選択信号を指定するデコーダと、前記デコーダにプログラム信号を与えるヒューズ回路とを含み、前記プログラム手段によって、前記書き込み電圧が予め決められた上限に至るまで前記昇圧レベルを段階的に分けられる前記任意の書き込み回数が変換することを特徴とする。

【請求項15】複数の不揮発性メモリセルを含むメモリセルアレイと、前記メモリセルに供給するための書き込み電圧を昇圧する昇圧回路と、書き込み回数をカウントするカウンタと、前記メモリセルへの前記書き込み電圧の供給時間を制御するため、前記カウンタによる所定回数のカウンタのうち、初回から任意回数までは一定時間間隔でカウントさせ、前記任意回数から後の回数は段階的に増加する時間間隔でカウントさせる信号を出力するタイマと、前記書き込み電圧が予め決められた上限に至るまでの前記昇圧回路による昇圧レベルを、前記任意回数に応じて段階的に分け、かつ前記書き込み電圧が予め決められた上限に至るとその書き込み電圧を維持する書き込み電圧制御回路とを具備したことを特徴とする不揮発性半導体記憶装置。

【請求項16】請求項15記載の不揮発性半導体記憶装置において、前記タイマの出力する信号における段階的に増加する時間間隔はそれぞれ、前記書き込み電圧が予め決められた上限に至る前における前記書き込み電圧の段階的に分けられたうちの1回の上昇分に応じた前記メモリセルのしきい電圧上昇分が得られるように設定することを特徴とする。

【請求項17】複数の不揮発性メモリセルを含むメモリセルアレイと、前記メモリセルに供給するための書き込み電圧を昇圧する昇圧回路と、書き込み動作の所定回数をカウントする第1のカウンタと、前記所定回数のうちの任意回数から後の回数をカウントする第2のカウンタと、前記メモリセルへの前記書き込み電圧の供給時間を制御するため、前記第1のカウンタによる所定回数のカウンタのうち、初回から前記任意回数までは一定時間間隔でカウントさせ、前記任意回数から後の回数は段階的に増加する時間間隔でカウントさせる信号を出力するタイマと、前記書き込み電圧が予め決められた上限に至るまでの前記昇圧回路による昇圧レベルを、前記任意回数に応じて段階的に分け、かつ前記書き込み電圧が予め決められた上限に至るとその書き込み電圧を維持する書き込み電圧制御回路と、前記任意回数の初回の前記昇圧レベルを可変にするため、前記書き込み電圧が予め決められた上限に至るまでの前記昇圧回路による昇圧レベルを、前記任意回数に応じて段階的に分けられるプログラムシステムとを具備したことを特徴とする不揮発性半導体記憶装置。

【請求項18】請求項17記載の不揮発性半導体記憶装置において、前記プログラムシステムは、前記書き込み電圧制御回路に前記昇圧レベルを設定するための選択信号を出力する書き込み電圧選択回路と、前記書き込み電圧選択回路の選択信号を指定するデコーダと、前記デコーダにプログラム信号を与えるヒューズ回路とを含むことを特徴とする。

詳細な説明

【発明の詳細な説明】

【0001】
【産業上の利用分野】本発明は、不揮発性半導体記憶装置に関する。特に不揮発性半導体メモリ装置のデータ書き込みの高速化及び最適化をするための書き込み系制御回路に関する。

【0002】
【従来の技術】従来、例えば電気的に書き込み及び消去が可能なスタックゲート型の不揮発性半導体メモリ装置には、ビット毎ペリアイ方式が採用されている。ビット毎ペリアイ方式においては、メモリセルにデータの書き込みを行った後に、ビット毎に書き込みが終了したかどうかを検証し、書き込みの終了したビットに対しては再書き込み動作を禁止し、書き込みが不完全なビット（メモリセルと同意）にのみ再書き込み動作を実行する。全ビットに対してデータの書き込みが終了するまで書き込みと検証を繰り返すことにより、ビット毎の書き込みの速さの違いに応じて最適な書き込みが実現できる。

【0003】このようなビット毎ペリアイ方式は、全てのデータを所定のメモリセルに書き込んだ後に、同一のデータが書き込まれた各々のメモリセルのしきい電圧の分布の幅を狭くする手段として知られているものである。なお、ビット毎ペリアイ方式に関しては、例えば1990 Symposium on VLSI Circuit (105 ~ 106ページ)に詳細に記載されている。

【0004】また、ペリアイ時に書き込み回数の増加に合わせて書き込み電圧を段階的に上昇させる方式が考えられた。この方式は、ビット毎ペリアイ方式と共に用いられ、メモリセルに与える電圧ストレスを少なくしながらデータの書き込みを全ビットに対してなるべく短い時間で完了させようとする技術である。（例えば、特願平6-147918号（特願平5-158386）に基づく優先権主張）を参照。

【0005】しかし、このようにペリアイ時に段階的に上昇させる書き込み電圧に関し、これを無制限に上昇させることはできない。なぜなら、書き込み電圧の上限値は、メモリセルまたは周辺回路を構成するトランジスタの、ゲート酸化膜の耐圧または接合耐圧によって決定されるからである。よって、書き込み電圧が最大（上限値）になった時点の書き込み動作においてもデータの書き込みが完全に達成されないメモリセルが存在する恐れがある。このようなメモリセルについては、その後、データの書き込みが完了するまで再書き込み動作を繰り返し適当回数だけ行う。

【0006】しかしながら、上記上限の書き込み電圧が再び同じ書き込み時間でも繰り返して再書き込み動作が行われることになるので、書き込みにくいメモリセルへのデータの書き込みが完全になるまでの再書き込み動作の繰り返しの回数が増加する。再書き込み動作の繰り返しの回数が増加すれば当然その分のペリアイ時間及び書き込みのための昇圧時間が増大する。このような現象はメモリスタ全体に書き込み時間を長くし、消費電力を増大させる。

【0007】また、この他の問題として、プロセス上のばらつきがメモリセル全体の書き込み特性に影響し、チップ毎に書き込み特性が偏向することが考えられる。ここでいうプロセス上のばらつきとは、例えば、フローティングゲートを有するメモリセルを構成するゲート絶縁膜の厚さが1つのウェハ内で微妙に偏る場合がある。あるいは、メモリセルトランジスタのチャネルの長さや幅がチップ間でばらつく場合がある。書き込み電圧をメモリセル内に伝達するには、制御ゲートとフローティングゲートとの間のゲート絶縁膜、フローティングゲートと基板との間のゲート絶縁膜の両者にそれぞれ形成されるキャパシタのカップリング現象が伴うので、メモリセルトランジスタのチャネルの長さや幅、及びゲート絶縁膜の厚さが各々のチップの間でばらつければ、書き込み特性が微妙に異なるメモリスタが製作される。

【0008】しかしながら、従来ではこのようなプロセス上のばらつきは考慮されず、メモリセル全体の書き込み特性にどのような偏りがあるチップであっても、書き込み動作では一律に予め決められた書き込み電圧を与える方式であった。

【0009】
【発明が解決しようとする課題】書き込み回数の増加に合わせて書き込み電圧を段階的に上昇させる方式では、無制限に書き込み電圧を上昇させることができない。即ち、この方式における書き込み電圧の上限は、メモリセルまたは周辺回路を構成するトランジスタのゲート酸化膜の耐圧または接合耐圧によって決定される。

【0010】また、書き込み電圧が最大になった時点においても、データの書き込みが完全に終了していないメモリセルが存在する場合、そのメモリセルについては、その後、再書き込みをその上限の書き込み電圧で、かつ同じ書き込み時間で行うと、データの書き込みが完全に行われ

るまでの書き込み動作の繰り返し回数が増加し、それに伴って、その増加分のペリアイ時間及び書き込みのための昇圧時間が増大する。このような現象は、全体の書き込み時間を長くし、消費電力を増大させる。

【0011】また、従来ではプロセス上のばらつきは考慮されず、メモリセル全体の書き込み特性にどのような偏りがあるチップが製作されても、書き込み動作は一律に予め決められた書き込み電圧を与える方式でチップ毎の書き込み特性のばらつきに対処できなかった。

【0012】本発明は、上記問題を解決すべくなされたもので、第1の目的は、メモリセルのしきい電圧の分布が広がらずに高速なデータ書き込みを実現する不揮発性半導体記憶装置を提供することにある。

【0013】この発明の第2の目的は、メモリセルのしきい電圧の分布が広がらずに高速なデータ書き込みを、チップ毎のメモリセルの書き込み特性に応じて実現する半導体メモリ装置を提供することにある。

【0014】
【課題を解決するための手段】上記第1の目的を達成するために、本発明は、メモリセルアレイと、前記メモリセルアレイのメモリセルにデータを書き込む手段と、前記メモリセルアレイのメモリセルからデータを読み出し、正確なデータが書き込まれているかを否かを判断する手段と、前記メモリセルアレイの全てのメモリセルに正確なデータが書き込まれていない場合に再書き込みを実行する手段と、前記再書き込みの書き込み回数が増えるに従って書き込み電圧を次第に上昇させ、かつ、書き込み電圧が最大値になった後は、書き込み電圧を最大値に維持し、前記再書き込みの書き込み回数が増えるに従って書き込み時間を次第に長く設定する手段とを備えることを特徴とする。

【0015】上記第2の目的を達成するために、本発明は、上記書き込み電圧が最大値に至るまでの昇圧のレベルを、書き込みの回数に応じて段階的に分けるためのプログラム手段をさらに具備する。

【0016】この発明によれば、書き込み電圧が上限に達すると書き込み時間を延ばして書き込み効率を上げる。また、チップ毎の書き込み特性に応じてプログラム手段によって書き込み電圧の昇圧レベルの段階を可変にする。

【0017】
【発明の実施の形態】図1は本発明の第1の実施形態に係る不揮発性半導体メモリ装置の要部を示す回路ブロック図である。図2は図1の回路の動作を示すタイミング図である。図3は図1の回路に関する書き込み動作の制御を示すフローチャートである。本発明では、図3に示したような書き込み及びペリアイ動作をチップ内部の制御回路あるいはチップ外部のコントローラの制御により、自動的に行うことができることを前提とする。

【0018】例えば、チップ外部からのコマンド信号を受けて、チップ書き込みモードに入ると、チップ内部の制御回路が動作を開始し、書き込み電圧が昇圧され（ST1）、アドレスで指定されたメモリセルへのデータ書き込み動作が行われる（ST2）。このとき、書き込み動作回数はCNTとしてカウントされる（ST3）。その後、ペリアイ動作する（ST4）。

【0019】この発明におけるペリアイ動作はビット毎ペリアイ方式を前提とする。すなわち、書き込んだメモリセルのデータをセンスアンプに読み出し、ビット毎に書き込みが終了したかどうかをチップ内部で判定する。すべてのビットが書き込み終了と判定されなければ、再度、書き込み動作を行う。ただし、すでに書き込みの終了したビットに対しては書き込み禁止状態とする。すべてのビットが書き込み終了と判定されれば、全体の書き込み動作を終了する（ST5）。ただし、書き込み動作回数がCNTが規定の書き込み動作回数Mを越えることはない。書き込み動作回数CNTがM回に達して書き込みが完了しなかった時は異常終了としてこのフローを実施する回路系の外に信号が検出される。以降、上記ペリアイ動作に含まれるペリアイのため読み出し動作をペリアイ・リードと呼ぶ。

【0020】図1に示す回路ブロックの系は、図3に示すST1 ~ 3までのデータ書き込みの一連の動作を制御する。ST4以降はペリアイ系回路（図示せず）に制御が移行し、ペリアイ系回路が再書き込みを必要とした場合にはこの図1の書き込み系回路に制御が戻される。

【0021】図1図1において、メモリセルアレイ中のメモリセル181はMOS型の不揮発性メモリアレンジスタであり、電荷を蓄積するフローティングゲートを有する。フローティングゲート上に配する制御ゲートCGは前記メモリセルアレイ中のワード線に相当する。Dは基板上的のドレイン、SLは基板上のソースである。本発明に係る書き込み電圧VPPは制御ゲートCGに印加される。不揮発性のメモリセルトランジスタは、書き込み時には基板と制御ゲートCGとに印加される電位の差の絶対値

に、その絶対値が大きいほどしきい電圧が大きく変動し、そのしきい電圧に対応したデータが記憶する。

【0022】チップ外部からのコマンド信号を受けてチップ書き込みモードに入ると、書き込み制御回路11は、制御信号P、Cを出力する。データの書き込みが開始されると、書き込み制御信号Pの電圧は、“L”レベルから“H”レベルへ変化する。制御信号Pの電圧は、データの書き込み動作を行っている期間(昇圧の時間も含む)、“H”レベルに保持されている。制御信号Cはタイマ13にも入力される。制御信号Cは昇圧が完了しメモリセルに書き込み電圧を与えるための信号である。制御信号Cが“H”レベルに変化すると、タイマ13は、計時動作を開始する。

【0023】タイマ13は、データの書き込みの回数に応じた所定時間が経過すると、パルス信号Sを出力する。このパルス信号Sが書き込み制御回路11に入力されると、書き込み制御回路11は、制御信号P、Cの電圧を“H”レベルから“L”レベルに変化させる。これにより、1回のデータの書き込みが終了する。一方、カウンタ12は、タイマ13からの信号Sを受け、データの書き込み回数をカウントする。カウンタ12は書き込み回数(CNT)を素数信号N1、N2、...を出力する。カウンタ12の出力信号N1、N2、...は、タイマ13及び書き込み電圧制御回路14に入力される。

【0024】昇圧回路15は“H”レベルの制御信号Pが入力されると、書き込み電圧の昇圧動作を開始する。昇圧回路15は動作を開始してから一定期間が経過すると、昇圧回路15の出力電圧VPPは、第1の書き込み電圧VPP1になる。昇圧回路15の出力電圧(書き込み電圧)VPPは、書き込み電圧制御回路14の出力信号によって決定される。すなわち、書き込み電圧制御回路14は、データの書き込みの回数に応じ、昇圧回路15の出力電圧VPPのレベルを決定する。

【0025】上述のように、1回目のデータの書き込みでは、書き込み電圧制御回路14は、昇圧回路15が出力電圧として第1の書き込み電圧VPP1を出力するように、昇圧回路15を制御する。この後、制御信号Cの電圧は、“L”レベルから“H”レベルへ変化する。書き込み電圧出力回路16は、制御信号Cが“H”レベルの期間、昇圧回路15の出力電圧(書き込み電圧)を、ロウデュータ17に供給し、ロウデュータ17によって選択されたメモリセルの制御ゲートCG(ワード線)に上記書き込み電圧が印加される。

【0026】この後、ペリファリ動作は、この回路系以外で行われる。ペリファリ動作は、メモリセルに所定のデータが正確に書き込まれているかをチェックされ、全てのメモリセルに対して正確にデータが書き込まれている場合には、データの書き込みが完了したと判断し、全体の書き込み動作を終了させる。また、少なくとも1つのメモリセルに対して書き込みが不十分である場合には、2回目のデータの書き込み(再書き込み)を実行する。

【0027】上記と同様に、2回目のデータの書き込みが、書き込み電圧VPP2によって行われる。この2回目のデータの書き込みも全てメモリセルに対して正確にデータが書き込まれない場合には、全てのメモリセルに対して正確にデータが書き込まれるまで、3回目以降のデータの書き込み(再書き込み)を実行する。

【0028】ところでカウンタ12は、タイマ13の信号Sを受けることにより、その信号Sを受け取った時点での書き込みの回数を記憶する。カウンタ12の出力が予め設定された回数Kになるまでは、タイマ13はカウンタ12の出力NIに基いて、各書き込み回数での書き込み時間T(n)が一定時間になるように信号Sを出力する。

【0029】カウンタ12からの信号Sを受ける書き込み電圧制御回路14は、カウンタ12の出力が予め設定された回数Kになるまでは、書き込み電圧がΔVPPずつ上昇するように書き込み電圧VPPを制御する。カウンタ12の出力が予め設定された回数Kより大きくなると、すなわちK+1回目以降の書き込みにおいては、タイマ13は、カウンタ12の出力NIに基いて、各書き込み回数での書き込み時間T(n)が、 $A \times T(n-1)$ になるように信号Sを出力する。また、書き込み電圧制御回路14は2回目のカウンタ12の信号Sを受け、書き込み回数K以降のデータ書き込みにおいては上限の書き込み電圧VPPmaxを維持するように制御される。

【0030】すなわち、回数Kは、書き込み電圧が上限のVPPmaxになる回数であり、Aは、書き込み電圧の上昇分ΔVPPに依存する値であり、nは、書き込み回数であり、T(n)は、n回目のデータの書き込みにおける書き込み時間である。すなわち、図2の例では回数K=3、A=4であり、初回のデータの書き込み時間T(1)=t、2回目のデータのデータの書き込み時間T(2)=t、3回目のデータの書き込み時間はT(3)=4tである。

【0031】つまり、昇圧回路15の出力電圧(書き込み電圧)VPPが上限のVPPmaxになるまでは、書き込み時間、一定時間である。昇圧回路15の出力電圧(書き込み電圧)を書き込み回数ごとにΔVPP(例えば1.5V)ずつ上昇させ、昇圧回路15の出力電圧VPPが上限のVPPmaxに達し

たとき(n=K=3)、これ以降のデータの書き込みについては、昇圧回路15の出力電圧は、一定値VPPmaxを維持しつつ、書き込み時間は $T(n)=4 \times T(n-1)$ になるように変化させる。

【0032】すなわち、図2の例において、4回目のデータの書き込み時間T(4)= $4 \times T(3)=4 \times 4 \times T(2)=4 \times 4 \times 4 \times T(1)=64t$ であり、図2の例では、5回目のデータの書き込み時間T(5)= $4 \times T(4)=4 \times 64t=256t$ となる。

【0033】上記例で、A=4である理由を説明する。本願発明では、昇圧回路15の出力電圧(書き込み電圧)VPPが上限のVPPmaxに達したときは、それ以降のデータの書き込みについては、書き込み電圧の上昇分ΔVPP(1.5V)によるメモリセルのしきい電圧の変動分と等しい分だけ書き込み時間を長くしている。つまり、書き込み電圧VPPが制限されているため、次の書き込み動作におけるメモリセルのしきい電圧の変動分のさらなる拡大を、書き込み時間を変化させることによって達成している。

【0034】本願発明は、書き込み電圧の上昇分ΔVPPと、書き込み時間T(n)との間における以下の関係を応用したものである。

$$\Delta VPP = 2 \cdot 6 \cdot \log \Delta T \cdots (1) \quad \Delta T = T(n) / T(n-1) \cdots (2)$$
 (但し、係数2.6は、製造プロセスに依存する値)

従って、例えば、書き込み電圧の上昇分ΔVPPが約1.5Vとした場合、この書き込み電圧の上昇分ΔVPPによるメモリセルのしきい電圧の変動分と等しい電圧の変化分ΔTは、約4となる。

【0035】図4はセルのしきい電圧をΔV_{th}上昇させる、書き込み電圧の上昇分ΔVPPと、このΔVPPに等しい書き込み時間の関係を示す特性図である。説明のためメモリセルMC1、MC2、MC3は共に書き込み終了直前で同じしきい電圧レベルを持つとする。メモリセルMC1は書き込みが速く、メモリセルMC3は書き込みが遅い。メモリセルMC2はMC1とMC3の中間の特性を持っている。

【0036】ループ1、2、3...5は、図3の書き込みペリファリ動作のループの回数である。3回目の書き込み(ループ3)までは書き込み電圧はΔVPP(=1.5V)ずつ増加し、その後は、同じ電圧VPPmaxのままである。4回目の書き込み(ループ4)以降の書き込み時間の増加分ΔTは各々前の時間の4倍とした。このような条件は上述の図2と同じである。

【0037】図4において、メモリセルMC1は2回のループで書き込み完了する。ループ3までは書き込み電圧を毎回ΔVPPずつ上昇させているので、書き込み時間に比例してセルのしきい電圧は上昇する。

【0038】メモリセルMC2は4回のループで書き込み完了する。ループ4からは、書き込み電圧はもはや上限(VPPmax)に達しているため上昇せず、VPPmaxを維持する。従って、ループ4以降では、書き込み電圧をさらにΔVPP上昇させたときのセルのしきい電圧の変動分(点線41)と等しい分だけのセルのしきい電圧の変動分を、書き込み時間を変更することによって得る。セルのしきい電圧の推移は書き込み電圧を一定とすると、書き込みに必要な時間は指数関数的に増大する。よって、ループ4ではセルのしきい電圧はカーブ42のように推移することを考慮して、ループ3の書き込み時間(1)より長い書き込み時間(4t)が必要である。

【0039】メモリセルMC3は5回のループで書き込み完了する。ループ4におけるカーブ43はカーブ42と同様である。ループ5では、ループ4の書き込み効果に比べて書き込み電圧をさらにΔVPP上昇させた場合のセルのしきい電圧の変動分と等しい分だけのセルのしきい電圧の変動分を実際に得るために、さらに書き込み時間を変更する。ループ5ではセルのしきい電圧はカーブ44のように推移することを考慮して、ループ4の書き込み時間(4t)より長い書き込み時間(16t)が必要である。

【0040】上記構成によれば、書き込み電圧が上限(VPPmax)に達した後は、それまでの書き込み電圧の上昇分(ΔVPP)に相当する分だけ書き込み時間を毎回増加させる。このため、全ての書き込み動作にわたって、書き込み回数を重ねる毎に徐々に書き込み効率をアップさせることができる。これにより、毎回十分な書き込みを行った後、ペリファリ動作ができ、高速なデータの書き込みが実現できる。

【0041】例えば、メモリセルへの初回の書き込み時間として、ペリファリ動作及び書き込みのための昇圧の時間の和の時間tであり、上記書き込み時間tと等しいとする。上述した第1の実施形態を適用して、すべてのメモリセルの書き込みが完了するまで5回のループを要するとすると、全体の書き込み時間は、 $(t+t)+(t+t)+(t+t)+(t+t)+(t+t)=28t \cdots (3)$ となる。

【0042】仮に従来のように、書き込み電圧が上限(VPPmax)に達しても書き込み時間を増加さ

せない場合を考えると、セルのしきい電圧の上昇が不十分なままペリファイア・リロードと書き込みのための昇圧を何度も行うことになる。すなわち、本発明では5回のループで足りるのに対し、この場合では上記4は4回分、上記16は16回分のループに相当するから計23回のループとなり、それぞれにペリファイア・リロード及び書き込みのための昇圧の時間がかるため、全体の書き込み時間は、 $(n+1) \times 23 \sim 46t \sim (4)$ となり、このような効率の悪いループがシステム全体の書き込み時間を増大させる。

【0043】上記から、(4)式に比べて(3)式はメモリ全体の書き込み時間を65%短縮している。このように、本願においては不必要なペリファイア・リロード及び書き込みのための昇圧の時間を省略することができ、全体の書き込み時間を短縮することができる。

【0044】上述の第1の実施形態では、3回目のデータの書き込みまでは、書き込み電圧(制御ゲート電圧)を除き、4回目以降のデータの書き込みは、書き込み電圧(制御ゲート電圧)を一定にして書き込み時間を長くしている。

【0045】しかし、第1の実施形態では、1つのウェハで複数製作される全てのチップにおけるメモリセルに対して一律に同一の条件で再書き込みを実行する仕様となるため、チップ間で書き込み特性のばらつきが生じた場合には、必ずしも最適ではなくなる恐れがある。その理由を例1、例2として以下に示す。

【0046】(例1): プロセスの変動等により、設計に比べてデータの書き込みが比較的速いメモリセルを有するチップが製作されたとする、このチップは通常のチップと比較して少ない書き込み回数で書き込みを終了することになる。この場合、書き込み後のメモリセルのしきい電圧の分布は通常より高くなり、さらに最悪の場合には過書き込み状態になるメモリセルが存在する可能性がある。過書き込み状態とは、読み出し動作において正常な読み出しが不可能となる領域にセルのしきい電圧が分布することをいう。このようなチップに対しては、通常よりも低い書き込み電圧に設定して、書き込み後のセルのしきい電圧の分布を低い位置に抑える必要がある。

【0047】(例2): プロセスの変動等により、設計に比べてデータの書き込みが比較的速いメモリセルを有するチップが製作されたとする、このチップは期待した所望回数以内の書き込み動作で十分なデータ書き込みが行えないため、このチップに関しては初回から書き込み電圧をある程度上げて書き込み回数の増加を抑える必要がある。

【0048】このように危険を解消するために、本発明は第2の実施形態を提供する。図5は本発明の第2の実施形態に係る不揮発性半導体メモリ装置の要部を示す回路ブロック図である。図6は図5の回路の動作を示すタイミング図である。この第2の実施形態は、チップ毎に、最適な書き込み電圧の与え方が選択できるようにチップ製作後に書き込み電圧の与え方をプログラムする回路を備えている。

【0049】図5に示す回路ブロックの系は、図3に示すST1～3までのデータ書き込みの一連の動作を制御する。ST4以降はペリファイア系回路(図示せず)に制御が移る。ペリファイア系回路が再書き込みを必要と判断した場合にはこの図1の書き込み系の回路ブロックに制御が戻される。

【0050】図5において、書き込み制御回路11は、チップ外部からのコマンド入力を受けて書き込みモードを認識すると、チップ全体の書き込み動作を制御する。書き込み制御回路11は、各書き込み毎に、制御信号P、Cを出力する。制御信号Pは、書き込み電圧制御回路14、昇圧回路15及びヒューズデコーダ20をそれぞれ活性化させる。昇圧回路15は、電源電圧VCCに基いて書き込み電圧VPPを発生する。

【0051】書き込み電圧制御回路14は、書き込み電圧選択回路21の選択信号V1～V10に対応する書き込み電圧VPPを書き込み電圧出力回路16に供給する。制御信号Cに制御される書き込み電圧出力回路16は、供給された書き込み電圧VPPを、ロウデコーダ17を介して、メモリセルアレイ18を構成するメモリセル181の制御ゲートCG(ワード線)に印加する。

【0052】また、制御信号Cはタイマ13を起動する。タイマ13は、所定の書き込み時間の経過後、信号Sを出力する。信号Sはパルス信号であり、書き込み制御回路11及びリブカウンタ12a、12bに入力される。これにより、制御信号P、Cは、“L”レベルとなり、書き込みが終了する。

【0053】ループカウンタ12aは、信号Sによってインクリメントされ、全体の書き込み回数をカウントし、書き込み回数を示す信号Nを書き込み電圧選択回路21に出力する。タイマ13は、書き込み電圧選択回路21が上限の書き込み電圧を指定する信号V10を選択するまでは、一定間隔の書き込みパルス(信号S)を出力する。

【0054】また、書き込み電圧選択回路21において、上限の書き込み電圧に对应する信号V10を選択したとき、制御信号Cのパルス信号が“L”レベルになった後、信号F(図6では“H”レベル)が出力される。ループカウンタ12bは、タイマ13の出力信号Sを受け、書き込み電圧VPPが上限に達

した後の書き込み回数をカウントし、信号Mを出力する。タイマ13は、ループカウンタ12bの出力信号Mを受け、これにより、書き込み電圧VPPが上限に達した後の書き込み回数に比例して書き込み時間を増加させる信号Sを出力する。すなわち、タイマ13は、書き込み電圧VPPが上限に達した後は、制御信号Cのパルス幅を一定倍率で広げるように信号Sを制御する。

【0055】図7は、図5中のトリミング回路19の回路構成の一例を示すものである。図8は、図5中のヒューズデコーダ20の回路構成の一例を示すものである。両者とも実際には上記構成の回路が複数必要である。ここでは、トリミングヒューズ回路19は、図7の回路3個の組み合わせ構成である(1=1～3)。ヒューズデコーダは、図8の回路8個の組み合わせ構成である(1=1～3)。

【0056】トリミングヒューズ回路は、直列接続された5つのインバータ61～65と、MOSTランジスタ66と、ヒューズ67とから構成される。制御信号Pは、インバータ61及びMOSTランジスタ66のゲートに入力される。ヒューズ67はポリシリコン層で形成され、断断はレーザ照射により行う。ヒューズ67は、インバータ62の出力ノードとMOSTランジスタ66のドレインの間に接続される。MOSTランジスタ66のソースは、接地ノードに接続される。

【0057】プログラム信号FSI(1=1～3)は、インバータ64から出力され、プログラム信号FSIB(1=1～3)は、インバータ65から出力される。ヒューズデコーダは、制御信号PとFSIまたはFSIBが入力されるNAND回路71と、NAND回路71の出力信号を反転させて信号TRMI(1=1～8)を出力するインバータ72とから構成される。

【0058】このようなトリミングヒューズ回路19及びヒューズデコーダ20において、ヒューズ67が切断されるか否かによって、信号TRMI(1=1～8)のうちの1つが“H”レベルになる。これにより、8通りの書き込み電圧VPPの供給パターンを選択することが可能になる。このようなVPP供給パターンの選択を以下、書き込み電圧VPPのトリミングと呼ぶ。この実施形態では、書き込み電圧のトリミングをチップ製造後のダイソート工程で行う。

【0059】図9はヒューズデコーダ20からの出力信号TRMI(1=1～8)により選択される書き込み電圧VPPを示したものである。横軸はヒューズデコーダの出力信号TRMIを示し、縦軸は信号TRMIにより選択される書き込み電圧VPPを示している。なお、縦軸の1目盛りは、例えば0.5Vであり、書き込み回数毎のステップ幅は、例えば1.5Vである。

【0060】図9においては上限の書き込み電圧VPPmaxはV10に対応する電圧である。この上限の書き込み電圧は通常、チップの動作の信頼性を確保するため、メモリセルまたは周辺回路を構成するトランジスタのゲート酸化膜耐圧あるいは接合耐圧よりある一定電圧分低く設定する。書き込み電圧選択回路21からの信号V1～V10のうちいずれかが選択されることにより、対応する書き込み電圧が発生するようになっている。

【0061】なお、図6のV10、V10Fは、トリミング(信号TRMI)に関係なく書き込み電圧が上限になる場合の共通の波形である。また、TRMI 1～7はそれぞれ、初回の書き込み電圧と次の書き込み電圧との差が1.5Vであることから、V1、V1+3はトリミングにおいて、TRMI 1～7に共通する波形であるので代表的に示した。

【0062】図9を例を用いて説明する。上記(例1)のような特性を持つチップには、例えば、TRMI1の電圧VPPの供給パターンが選択される。すなわち、トリミングヒューズ回路19にプログラムされたトリミング情報に基づき、ヒューズデコーダ20の出力信号TRMI1が“H”レベルとなる。これにより、このチップは書き込み電圧VPPに対応する選択信号V1、V4、V7、V10のうちの1つが各書き込み回数毎に書き込み電圧制御回路14に供給されるようになる。

【0063】すなわち、書き込み動作の初回であるループ1(図3)の書き込みペリファイア動作のST1～6のループ1の1回目(1)における、信号V1に対応する書き込み電圧VPPによるメモリセルへの書き込みが実行される。この書き込み動作で書き込み不十分なメモリセルがあれば、そのメモリセルに対してそれぞれ、次のループ2における、信号V4に対応する書き込み電圧VPPによるメモリセルへの書き込みが実行される。この書き込み動作で、なお書き込み不十分なメモリセルがあれば、そのメモリセルに対してそれぞれ、次のループ3における、信号V7に対応する書き込み電圧VPPによるメモリセルへの書き込みが実行される。さらに書き込み不十分なメモリセルに対してそれぞれ、次のループ4における、信号V10に対応する書き込み電圧VPP(上限の書き込み電圧VPPmax)によるメモリセルへの書き込みが実行される。

【0064】上記ループ4における書き込み後に、さらに書き込み不十分なメモリセルに対してはそれぞれ、図示しないループ5における、信号V10に対応する書き込み電圧VPP(上限の書き込み電圧VPPmax)によるメモリセルへの書き込みが実行される。このときには、書き込み時間が長くなり、仮に書き込み電圧をさらにAVPP(例えば1.5V)上昇させたときのメモリセルのしきい電圧

の変動分に相当する書き込み時間が設定される。それ以降、書き込み回数が増える毎にΔVPPに等価的な書き込み時間が設定される。ループカウンタ12aが所定の書き込み回数が増え、異常終了ときは書き込み動作を終了する。この時点でまだ書き込み不十分なメモリセルがあれば、異常終了として図3のフローを実施する回路系の外に検出される。

【0065】上記(例2)のような特性を持つチップには、例えば、TRM6の電圧VPPの供給パターンが選択される。すなわち、トリミングヒューズ回路19でプログラムされ、ヒューズデコーダ20の出力信号TRM6が“H”レベルとなる。これにより、このチップは書き込み電圧VPPとして、選択信号V8、V9、V10に対応する電圧のうちの1つが各書き込み回数毎に供給されるようになる。

【0066】すなわち、書き込み動作の初回であるループ1(図3の書き込み—ベリファイ動作のST1～6のループの1回目をいう)における、信号V6に対応する書き込み電圧VPPによるメモリセルへの書き込みが実行される。この書き込み動作で書き込み不十分なメモリセルがあれば、そのメモリセルに対してそれぞれ、次のループ2における、信号V9に対応する書き込み電圧VPPによる書き込みが実行される。この書き込み動作で、なお書き込み不十分なメモリセルがあれば、そのメモリセルに対してそれぞれ、次のループ3における、信号V10に対応する書き込み電圧VPP(上限の書き込み電圧VPPmax)によるメモリセルへの書き込みが実行される。

【0067】上記ループ3における書き込み後、さらに書き込み不十分なメモリセルに対してはそれぞれ、図示しないループ4における、信号V10に対応する書き込み電圧VPP(上限の書き込み電圧VPPmax)によるメモリセルへの書き込みが実行される。このときには、書き込み時間が長くなり、仮に書き込み電圧をさらにΔVPP(例えば1.5V)上昇させたときのメモリセルのしきい電圧の変動分に相当する書き込み時間が設定される。それ以降、書き込み回数が増える毎にΔVPPに等価的な書き込み時間が設定される。ループカウンタ12aが所定の書き込み回数をカウントしたときは、書き込み動作を終了する。この時点でまだ書き込み不十分なメモリセルがあれば、異常終了として図3のフローを実施する回路系の外に検出される。

【0068】図10及び図11はそれぞれ、図5中の書き込み電圧選択回路21の構成を部分的に示す回路図である。書き込み電圧選択回路21は、図10の回路構成が10個と図11の回路が1個により構成される。図10において、MOSTランジスタ91a、91b(i=1～8)は、ノード100と接地点との間に直列接続され、各ゲートには、入力信号対INPUT i(i=1～8)が入力される。例えば、MOSトランジスタ91a、91bは、ノード100と接地点との間に直列接続され、各ゲートには入力信号対INPUT 1が入力される。これらドライブ用のMOSTランジスタ91a、91b(i=1～8)は、Nチャネルエンハンスメント型MOSTランジスタである。負荷用のMOSTランジスタ99a、99bは、Nチャネルディプレッション型MOSTランジスタであり、ノード100と電源端子との間に直列接続されている。MOSTランジスタ99a、99bのゲートは、共にノード100に接続されている。ノード100の電位は、インバータ99cにより反転され、書き込み電圧選択信号V1(i=1～10)となる。

【0069】図11において、書き込み選択信号V10は、NORゲート101及びインバータ103に入力される。また、リセット信号R及びNORゲート101の出力信号は、NORゲート102に入力される。NORゲート102の出力信号は、NORゲート101、NANDゲート104及びインバータ108に入力される。インバータ103の出力信号はNANDゲート104に入力される。NANDゲート104の出力信号は、インバータ105を通して信号Fとなる。また、NORゲート102の出力信号はインバータ106、107を通して信号V10Fとなる。

【0070】すなわち、図11はNORゲート101と102によりフリップフロップを構成し、書き込み電圧の上限のVPPmaxを指定する信号V10を、書き込み終了(リセット)されるまでラッチする。

【0071】信号Fは図5におけるタイマ13及びループカウンタ12bに書き込み電圧の上限のVPPmaxになったことを伝達する。信号Fを受けたタイマ13は書き込み毎に書き込み時間を所定時間長くするよう書き込み制御回路11に信号S(パルス)を供給すると共に、ループカウンタ12a、12bにハルスをカウントさせる。表1は、図10及び図11の書き込み電圧選択回路の入出力表を示している。

【0072】

【表1】

Output	Input1	Input2	Input3
V1	N1 TRM1	-	-
V2	N1 TRM2	-	-
V3	N1 TRM3	-	-
V4	N1 TRM4	N2 TRM1	-
V5	N1 TRM5	N2 TRM2	-
V6	N1 TRM6	N2 TRM3	-
V7	N1 TRM7	N2 TRM4	N3 TRM1
V8	N1 TRM8	N2 TRM5	N3 TRM2
V9	-	N2 TRM6	N3 TRM3

Output	Input 1, 2	Input 3, 4, 5	Input 6, 7, 8
V10	N2 TRM7	N3 TRM4	N4 TRM1
	N2 TRM8	N3 TRM5	N4 TRM2
		N3 TRM6	N4 TRM3

【0073】ループカウンタ12aの出力信号Niとヒューズデコーダの出力信号TRMiの組み合わせ(入力信号対INPUT i各々に相当)により、書き込み電圧選択回路は書き込み電圧制御回路に選択信号V1、V2、…、V10Fを出力する。すなわち、この書き込み電圧選択回路21は、トリミングヒューズ回路19にプログラムされたトリミング情報と、ループカウンタ12aの示す書き込み回数に基づき、図9に示すような書き込み電圧VPPを生成するように動作する。

【0074】図12は、図5の書き込み電圧制御回路の構成を示す回路図である。REFは、チップ内の他の回路で発生される一定電圧である。入力される選択信号V1～V10Fのうちのいずれかが“H”レベルになると、ノードVINと一定電圧REFとが等しくなるように、ノード130の電圧が決定される。これにより、書き込み電圧VPPは、pn接合ダイオードQ1～Q4の各ブレイクダウン電圧とノード130の電圧の和に等しくなるように制御され、図5の書き込み電圧出力回路に供給される。

【0075】上記構成の第2の実施形態における不揮発性半導体メモリ装置において、例えば、図8におけるTRM4が“H”レベルになるように、ダイソート工程において図7のヒューズ67を切断すれば、1回目のデータ書き込みでは、書き込み電圧VPPは、信号V4に対応する電圧になり、2回目のデータ書き込みでは、書き込み電圧VPPは、信号V7に対応する電圧になり、3回目のデータ書き込みでは、書き込み電圧VPPは、信号V10に対応する上限の電圧VPPmaxになるように制御される。

【0076】また、4回目以降のデータ書き込みにおいては、常に、書き込み電圧VPPは、VPPmaxになるように制御される。また、書き込み時間は、1回目から3回目までのデータ書き込みにおいては、一定値とし、4回目以降のデータ書き込みにおいては、毎回、前回の書き込み時間の4倍になるように制御する。これにより、チップ毎の書き込み特性を考慮して、チップ毎に最適な書き込み電圧の与え方を固まに設定できる。

【0077】以上、説明したように、本発明の不揮発性半導体メモリ装置によれば、次のような効果がある。書き込み回数が増えるにつれて次第に書き込み電圧を上昇させ、かつ、書き込み電圧が上限値になった後は、書き込み電圧を最大値に維持し、書き込み回数が増えるにつれて次第に書き込み時間を長くすることにより、全てのメモリの高速にデータを書き込むことができ、かつ、メモリのしきい電圧の分布の幅も狭くすることができ、さらに書き込み回数が増えるにつれて次第に書き込み電圧を上昇させる書き込み方式であることにより、メモリのランダムアクセスの遅延にかかるストレスを低減でき、メモリの信頼性向上を図ることができる。

【0078】また、チップ間において書き込み特性のばらつきがある場合にも、チップ毎に最適な書き込み電圧及び書き込み時間を設定する手段を備えることにより、全てのチップについて高速な書き込みが可能となり、狭いしきい電圧の分布が得られる。

【0079】なお、この発明が適用されるスタックゲート型の半導体不揮発性メモリのセルは、NAN

D型、AND型、NOR型、DINOR型等いずれの構成でメモリセルアレイを構成してもよい。

【0080】

【発明の効果】以上、説明したようにこの発明の不揮発性半導体記憶装置によれば、全てのメモリセルにおいて、しきい電圧の分布が広がらずに高速なデータ書き込みを実現することができ、かつ、メモリセルの閾値分布の幅も狭くすることができる。

【0081】また、チップ間において書き込み特性のばらつきがある場合にも、チップ毎に最適な書き込み電圧及び書き込み時間を設定する手段を備えることにより、メモリセルのしきい電圧の分布を広げない高速なデータ書き込みを、チップ毎のメモリセルの書き込み特性に応じつつ実現する。

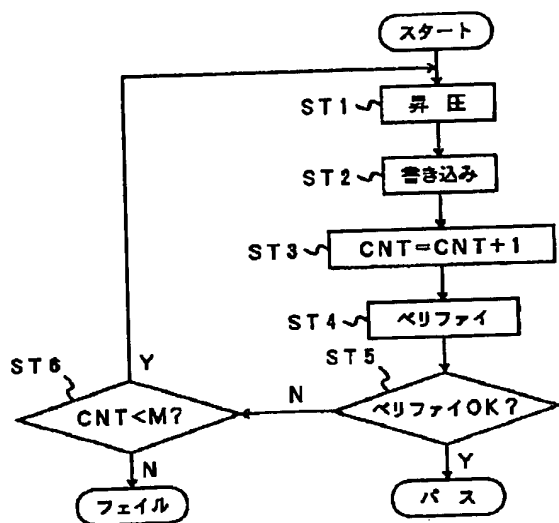
図の説明

【図面の簡単な説明】

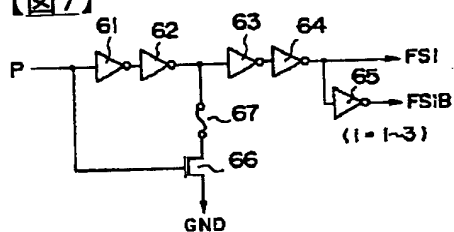
- 【図1】本発明の第1の実施形態に係る不揮発性メモリ装置の要部の構成を示す回路ブロック図。
【図2】図1の回路の動作を示す波形図。
【図3】図1の回路に関する書き込み動作の制御を示すフローチャート。
【図4】セルのしきい電圧を上昇させる、書き込み電圧の上昇分及びこの上昇分に等価な書き込み時間の関係を示す特性図。
【図5】本発明の第2の実施形態に係る不揮発性メモリ装置の要部の構成を示すブロック図。
【図6】図5の回路の動作を示すタイミング図。
【図7】図5のトリミングヒューズ回路の構成を示す回路図。
【図8】図5中のヒューズデコーダの回路構成を示す回路図。
【図9】ヒューズデコーダの出力信号と書き込み電圧の供給パターンとの関係を示す図。
【図10】図5の書き込み電圧選択回路の構成を示す一部の回路図。
【図11】図5の書き込み電圧選択回路の構成を示す一部の回路図。
【図12】図5の書き込み電圧制御回路の構成を示す回路図。

【符号の説明】

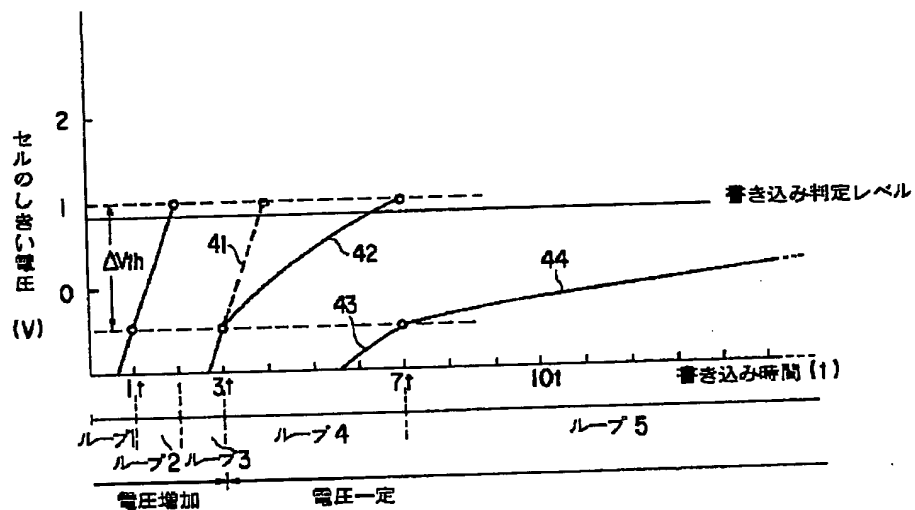
- 11...書き込み制御回路
12, 12a, 12b...ループカウンタ
13...タイマ
14...書き込み電圧制御回路
15...昇圧回路
16...書き込み電圧出力回路
17...ロウデコーダ
18...メモリセルアレイ
19...トリミングヒューズ回路
20...ヒューズデコーダ
21...書き込み電圧選択回路
62~65, 72, 99c, 103, 105 ~107 ...インバータ
66, 91a~99a, 91b~99b...MOSTランジスタ
67...ヒューズ
71, 104 ...NAND回路
101, 102 ...NOR回路
103, 105 ~107 ...インバータ
R1 ~ R12...抵抗
Q1 ~ Q4 ...pn接合ダイオード



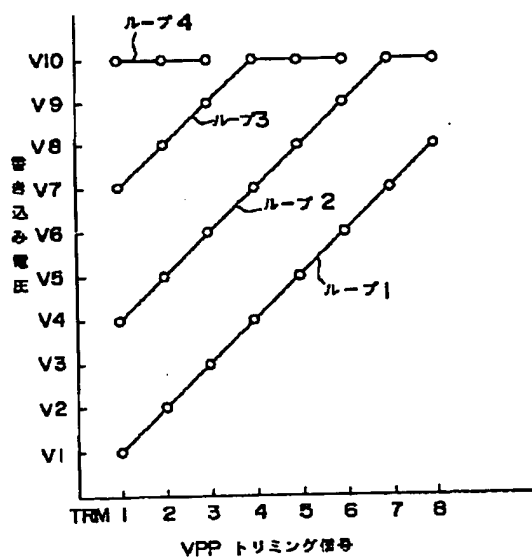
【図7】



【図4】



【図5】



【図12】

